

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02175154 A**

(43) Date of publication of application: 06.07.90

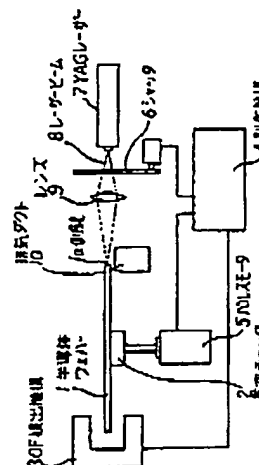
(51) Int. Cl.

B41F 17/36(21) Application number: **63330117**(22) Date of filing: **27.12.88**(71) Applicant: **NEC CORP.**(72) Inventor: **KOBAYASHI AKIRO
OZAKI MASAMI****(54) SEMICONDUCTOR WAFER MARKING DEVICE****(57) Abstract:**

PURPOSE: To perform marking on a semiconductor wafer without making a semiconductor element on the surface defective by providing both a mechanism for fixing the semiconductor wafer and a pulse motor for rotating and driving this fixing mechanism and furthermore providing a marking mechanism to the position wherein the side wall of the semiconductor wafer is marked.

CONSTITUTION: The center axis of a semiconductor wafer 1 is matched with a vacuum chuck 2 and this wafer is vacuum-chucked. Thereafter OF position of the wafer 1 is detected by an OF (orientation flat) detecting mechanism 3. While keeping the detected OF position as an origin, a pulse motor 5 directly joined to the vacuum chuck 2 is rotated at one pulse unit, e.g. at 0.72° by a controlling mechanism 4. A shutter 6 is opened while being interlocked with rotation and stop of the pulse motor 5 and laser beams 8 emitted from a YAG laser 7 are concentrated to the side wall 1a of the wafer 1 with a lens 9. Thereby the side wall 1a is spot-heated and one part of the wafer material is evaporated to perform marking.

COPYRIGHT: (C)1990,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平2-175154

⑫ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)7月6日

B 41 F 17/36

C

7040-2C

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体ウェハーマーキング装置

⑮ 特 願 昭63-330117

⑯ 出 願 昭63(1988)12月27日

⑰ 発 明 者 小 林 章 朗 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 発 明 者 尾 崎 雅 美 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 菅 野 中

明 細 書

1. 発明の名称

半導体ウェハーマーキング装置

2. 特許請求の範囲

(1) 半導体ウェハーマーキングするマーキング機構を備えた半導体ウェハーマーキング装置において、半導体ウェハを固定する固定機構と、該固定機構を回転駆動するパルスモータとを有し、さらに前記マーキング機構を、半導体ウェハの側壁にマーキングする位置に配設したことを特徴とする半導体ウェハーマーキング装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置製造において個々の半導体ウェハの処理条件、履歴等の管理のために半導体ウェハに管理コード等を記入する半導体ウェハのマーキング装置の改良に関する。

(従来の技術)

従来、この種のマーキング装置は第3図に示すように、X-Yステージ14に真空チャック2を介し

て真空吸着された半導体ウェハ1の表面ないし裏面に対して集束させたレーザビーム8を当てスポット加熱により半導体ウェハ1を部分的に蒸発させる動作を、X-Yステージ14及びシャッタ6を制御機構4により連動させることにより、マーキングを行っていた。7はYAG レーザー、9はレンズ、10は排気ダクト、13はミラーである。

(発明が解決しようとする課題)

上述した従来の半導体ウェハーマーキング装置はスポット加熱により半導体ウェハを蒸発させるため、半導体ウェハに凹凸が生じ、また蒸発した半導体ウェハ材料の一部が半導体ウェハへパーティクルとなって再付着する現象があり、この凹凸及びパーティクルにより発生する基板のうねり及びホトレジスト等の塗布膜厚の変化は半導体ウェハ表面へ微細なパターンを形成するための障害となる問題があった。

また、半導体ウェハ表面にマーキングを行った合、マーキング領域の半導体素子は不良となる問題がある。

本発明の目的は前記課題を解決した半導体ウェハーマーキング装置を提供することにある。

(発明の従来技術に対する相違点)

上述した従来の半導体ウェハーマーキング装置に対して、本発明は半導体ウェハ側壁に対してマーキングを行うという相違点を有する。

(課題を解決するための手段)

前記目的を達成するため、本発明は半導体ウェハにマーキングするマーキング機構を備えた半導体ウェハーマーキング装置において、半導体ウェハを固定する固定機構と、該固定機構を回転駆動するパルスモータとを有し、さらに前記マーキング機構を、半導体ウェハの側壁にマーキングする位置に配設したものである。

(実施例)

以下、本発明の実施例を図により説明する。

(実施例1)

第1図は本発明の実施例1を示す構成図である。

図において、本発明の半導体ウェハーマーキング装置は半導体ウェハ1を固定する真空チャック2と、真空チャック2を回転駆動するパルスモータ5と、半導体ウェハ1の側壁にレーザービーム8にてマーキングするYAGレーザー7と、制御機構4と、シャッタ6と、レンズ9と、排気ダクト10と、OF検出機構3とを有する。

半導体ウェハ1を真空チャック2に中心軸を合せて真空吸着した後、OF(オリエンテーションフラット)検出機構3により半導体ウェハ1のOF位置を検出し、検出されたOF位置を原点として制御機構4により真空チャック2に直結されたパルスモータ5を1パルス単位で 0.72° 回転させ、パルスモータ5の回転停止と連動して、シャッタ6を開くことによりYAGレーザー7より発するレーザービーム8をレンズ9にて半導体ウェハ1の側壁1aに集束させることにより半導体ウェハ1の側壁1aをスポット加熱し、半導体ウェハ材料の一部を蒸発させることにより、マーキングを行い、又はシャッタ6を閉じたままとすることによりマーキングを行わない動作を半導体ウェハ1に割り当てられた2進数コードに対応して実施

第1図は本発明の実施例1を示す構成図、第2図は本発明の実施例2を示す構成図、第3図は従来の半導体ウェハーマーキング装置を示す構成図である。

- | | |
|-----------|---------------|
| 1…半導体ウェハ | 2…真空チャック |
| 3…OF検出機構 | 4…制御機構 |
| 5…パルスモータ | 6…シャッタ |
| 7…YAGレーザー | 8…レーザービーム |
| 9…レンズ | 10…排気ダクト |
| 11…フェルトペン | 12…フェルトペン送り機構 |

(実施例2)

第2図は本発明の実施例2を示す構成図である。

本実施例は半導体ウェハ1の側壁1aへのマーキングをホトレジストを含ませたフェルトペン送り機構12により駆動して行うものであり、実施例1に対して適用する時期がウェハ1を側壁を含めてエッチングする工程の直前に限定される欠点を有する反面、半導体ウェハ1の受けるダメージが少ないという利点を有する。

(発明の効果)

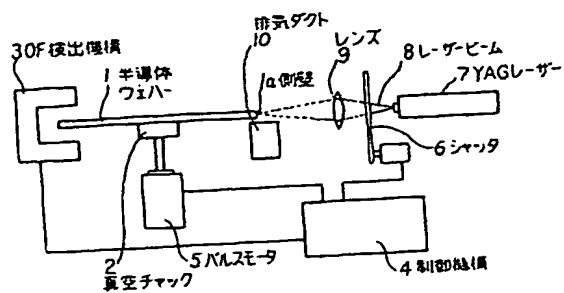
以上説明したように本発明は半導体ウェハの側壁にマーキングを行うことにより、スポット加熱により蒸発した半導体材料の半導体ウェハ表面あるいは裏面への再付着を防止し、またスポット加熱の際に生ずる凹凸も側壁にあるために特に問題とならず、半導体ウェハ表面の半導体素子を不良にすることなく、半導体ウェハにマーキングを行うことができる効果を有する。

4. 図面の簡単な説明

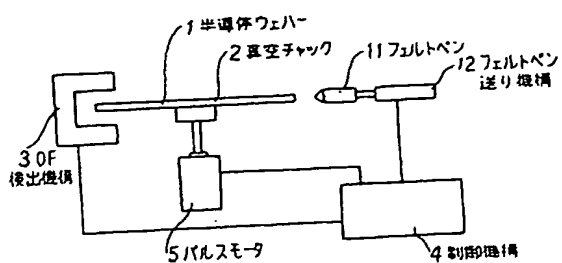
特許出願人 日本電気株式会社

代理人 弁理士 菅野

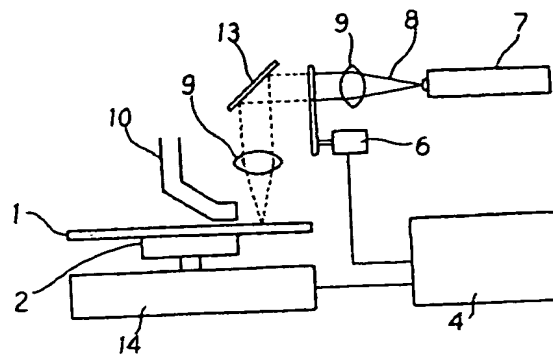




第1図



第2図



第3図